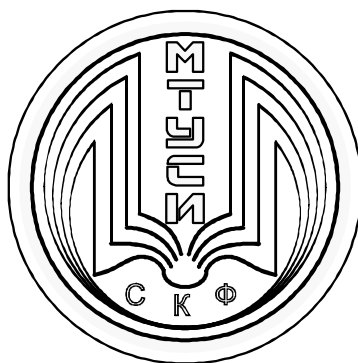


**МИНИСТЕРСТВО ЦИФРОВОГО РАЗВИТИЯ, СВЯЗИ
И МАССОВЫХ КОММУНИКАЦИЙ РОССИЙСКОЙ ФЕДЕРАЦИИ
СЕВЕРО-КАВКАЗСКИЙ ФИЛИАЛ
ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ
ФЕДЕРАЛЬНОГО ГОСУДАРСТВЕННОГО
БЮДЖЕТНОГО ОБРАЗОВАТЕЛЬНОГО УЧРЕЖДЕНИЯ ВЫСШЕГО
ОБРАЗОВАНИЯ
«МОСКОВСКИЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ СВЯЗИ И
ИНФОРМАТИКИ»**



КАФЕДРА ИНФОРМАТИКИ И ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

**Методические указания
и
*контрольные задания***

по дисциплине

ЭЛЕКТРОНИКА

для студентов-заочников 2 курса направлений 09.03.01, 11.03.02

Ростов-на-Дону

2021

ВВЕДЕНИЕ

Основными вопросами, изучаемыми по дисциплине «Электроника», являются вопросы построения элементной базы цифровых и аналоговых электронных устройств, в т.ч. цифровых и аналоговых интегральных микросхем. Важное значение имеют также сведения о принципах работы, параметрах и характеристиках таких перспективных изделий электроники, как оптоэлектронные приборы и приборы функциональной электроники, которые в последнее время все шире внедряются в аппаратуру коммутационных станций и передачи данных.

Изучение дисциплины базируется на знаниях, полученных в предыдущем семестре по курсу «Физические основы электроники», а также на содержании дисциплин «Физика», «Теория электрических цепей» и «Высшая математика».

1. ЦЕЛИ И ЗАДАЧИ ДИСЦИПЛИНЫ

Целью дисциплины является изучение студентами принципов и особенностей работы основных полупроводниковых приборов, интегральных элементов, технологии их изготовления и основ микросхемотехники аналоговых и цифровых схем.

2. ТРЕБОВАНИЯ К УРОВНЮ ИЗУЧЕНИЯ ДИСЦИПЛИНЫ

В результате изучения дисциплины студент должен **знать**:

- устройство и принцип действия, условные графические обозначения, схемы включения и режимы работы приборов;
- физический смысл параметров приборов;
- графические изображения электрических моделей и основные математические соотношения;
- эквивалентные схемы биполярного транзистора (БТ) для схем с ОБ и ОЭ и полевого транзистора;
- связь основных параметров БТ в схемах ОБ и ОЭ;
- преимущества интегральных схем;
- микросхемотехнику и принцип работы базовых каскадов и ячеек аналоговых и цифровых схем;
- **уметь**:
 - определять дифференциальные параметры по статическим характеристикам;
 - по виду статических характеристик определять тип прибора;
 - объяснять физическое назначение элементов и влияние их параметров на частотные свойства базовых каскадов аналоговых схем и переходные процессы в базовых ячейках цифровых схем;
- **владеть**:
 - навыками компьютерного исследования приборов по их электрическим моделям.

ОБЩИЕ ЗАМЕЧАНИЯ К ВЫПОЛНЕНИЮ КОНТРОЛЬНОЙ РАБОТЫ

Целью контрольной работы является закрепление теоретического материала дисциплины «Электроника», а также принципов работы, параметров основных типов цифровых и аналоговых интегральных схем.

Работа состоит из трех задач:

- первая посвящена синтезу и анализу логических схем на МДП-транзисторах;
- во второй анализируются логические состояния ТТЛ;
- третья знакомит с основными схемами включения операционных усилителей.

ВЫБОР ВАРИАНТА

Номера вариантов задач контрольной работы определяются двумя последними цифрами номера студенческого билета. Порядок использования этих цифр указан в условии каждой задачи и в таблицах с вариантами исходных данных.

Содержание задач контрольной работы

Задача 1

Начертить принципиальную схему логического элемента на МДП-транзисторах, выбранную по рис. 1 (см. прилож.) в соответствии с последней цифрой номера студенческого билета.

Студенты, у которых последняя цифра студенческого билета нечетная, выбирают схему рис. 1а.

Студенты, у которых последняя цифра студенческого билета четная и ноль, выбирают схему рис. 1б.

Для заданной величины порогового напряжения транзисторов и величины входного напряжения определить напряжение на выходе схемы в отсутствии входного сигнала (логический **0** на входе) и при подаче сигнала на вход (логическая **1** на входе).

Значения величин порогового напряжения транзисторов и входного напряжения выбираются из таблицы 1 в соответствии с предпоследней цифрой номера студенческого билета.

Исходные данные для расчета

Таблица 1

| Предпол. цифра № студ. билета | Пороговое напряжение МДП– транзистора с п-каналом, В | Пороговое напряжение МДП– транзистора с р-каналом, В | Логический уровень входного сигнала, В | Напряже ние питания Е _с , В |
|-------------------------------------|---|--|---|---|
| 0 | 0,5 | 2,5 | 1,0 | 3 |
| 1 | 1,0 | 2,0 | 1,5 | 3 |
| 2 | 1,5 | 1,5 | 2,0 | 3 |
| 3 | 2,0 | 1,0 | 2,5 | 3 |
| 4 | 0,5 | 4,5 | 1,0 | 5 |
| 5 | 1,0 | 4,0 | 1,5 | 5 |
| 6 | 1,5 | 3,5 | 2,0 | 5 |
| 7 | 2,0 | 3,0 | 2,5 | 5 |
| 8 | 2,5 | 2,5 | 3,0 | 5 |
| 9 | 3,0 | 2,0 | 3,5 | 5 |

Задача 2

Перечертить схему логического элемента ТТЛ (рис.2). Из таблицы 2 в соответствии с последней цифрой номера студенческого билета выбрать значения входных сигналов.

Определить логическое состояние на выходе схемы. Дать пояснение состояниям транзисторов (*открыт*, *закрыт*) в соответствии с сигналами на входе.

Таблица 2.

| Последняя цифра № студ. билета | Значения входных сигналов | | | | Последняя цифра № студ. билета | Значения входных сигналов | | | |
|--------------------------------|---------------------------|----|----|----|--------------------------------|---------------------------|----|----|----|
| | X1 | X2 | X3 | X4 | | X1 | X2 | X3 | X4 |
| 0 | 0 | 0 | 0 | 0 | 5 | 0 | 1 | 0 | 1 |
| | 1 | 1 | 1 | 1 | | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 6 | 0 | 1 | 1 | 0 |
| | 1 | 1 | 1 | 1 | | 1 | 1 | 1 | 1 |
| 2 | 0 | 0 | 1 | 0 | 7 | 0 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 1 | | 1 | 1 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 | 8 | 1 | 0 | 0 | 0 |
| | 1 | 1 | 1 | 1 | | 1 | 1 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 | 9 | 1 | 0 | 0 | 1 |
| | 1 | 1 | 1 | 1 | | 1 | 1 | 1 | 1 |

Задача 3

Перечертить схему включения идеального операционного усилителя (ОУ), выбранную по рис.3 в соответствии с последней цифрой номера студенческого билета.

Для заданной схемы изобразить временные диаграммы входных напряжений и выходного напряжения. При воздействии нескольких входных сигналов показать выходной сигнал от каждого входного с учетом соотношения фаз. Масштаб напряжения выбрать условный без учета коэффициента усиления усилителя.

Значения амплитуд входных сигналов и характер их фаз выбрать из таблицы 3 в соответствии с последней цифрой номера студенческого билета.

Таблица 3.

| Послед. цифра № студ. билета | Амплитуды входных сигналов | | | Фазы входных сигналов | | |
|---------------------------------------|-------------------------------|----|----|--------------------------|----|----|
| | U1 | U2 | U3 | U1 | U2 | U3 |
| 0 | 10 | 5 | 10 | + | - | - |
| 1 | 5 | 10 | 10 | + | - | + |
| 2 | 15 | 10 | 5 | + | - | + |
| 3 | 5 | 10 | 10 | + | + | - |
| 4 | 5 | 10 | 15 | - | + | - |
| 5 | 10 | 5 | 10 | + | - | - |
| 6 | 10 | 15 | 5 | - | + | + |
| 7 | 5 | 15 | 10 | - | + | - |
| 8 | 15 | 5 | 10 | + | - | - |
| 9 | 10 | 10 | 15 | + | - | + |

Примеры решения задач.

Задача 1.

Рассмотрим решение задачи для каждой из схем **рис .1.**

Пусть задана схема **рис.1б** . Это логическая схема на комплементарных МДП- транзисторах с индуцированным каналом, т.е. транзисторах, у которых различный тип проводимости канала.

В МДП- транзисторах с индуцированным каналом в исходном состоянии канала нет и ток через транзистор протекать не может. Для создания канала в МДП- транзисторе с каналом n - типа необходимо на затвор подать положительное напряжение относительно истока, большее порогового напряжения: $U_{зи} > U_{п.}$

Для создания канала в МДП- транзисторе с каналом p- типа необходимо на затвор подать отрицательное напряжение относительно истока, большее (по модулю) порогового напряжения:

$$U_{зи} > U_{п.}$$

Пусть модуль порогового напряжения для транзисторов с n - каналом и p-каналом составляет $U_{п} = 2В$, а амплитуда входного сигнала: $U_{вх} = 3В$, $E_c = 4В$. В отсутствие управляющего сигнала канала протекания тока в транзисторе VT1 нет, между истоком и стоком - большое сопротивление. На истоке транзистора VT2 потенциал равен напряжению источника питания и составляет $U_{и} = +4В$. Потенциал на затворе транзистора VT2 в отсутствие управляющего сигнала равен 0. В этом случае напряжение затвора относительно истока равно:

$$U_{зи} = U_з - U_{и} = 0 - 4 = -4 В .$$

Это означает, что затвор «отрицательнее» истока на 4В. Это напряжение на затворе больше порогового напряжения $U_{П} = -2В$, и в транзисторе образуется канал р-типа. Через транзистор VT2 может протекать ток. Транзистор VT1 представляет собой большое сопротивление, поэтому через цепь транзисторов VT1 и VT2 протекает очень маленький ток. Потенциал на выходе схемы относительно земли при этом равен:

$$U_{\text{вых}} = E_c - I R_{\text{канала}}.$$

Падение напряжения на сопротивлении канала транзистора VT2 мало, т.к. мало значение тока, протекающего через канал. Выходное напряжение при этом близко к величине напряжения питания.

При подаче входного сигнала (логической «1») напряжение затвора относительно истока ($U_{зи}$) транзистора VT1 равно $U_{зи} = 3В$, что больше порогового. Следовательно, в транзисторе VT1 образуется канал протекания тока; между истоком и стоком транзистора VT2 сопротивление мало.

Одновременно на затворе транзистора VT2 устанавливается входной потенциал $U_3 = 3В$. Потенциал истока при этом равен потенциалу источника питания 4В. Потенциал затвора относительно истока равен

$$U_{зи} = U_3 - U_{и} = 3 - 4 = -1В.$$

Затвор «отрицательней» истока на 1В, что меньше порогового напряжения, следовательно, канал протекания тока в транзисторе VT2 не образуется и сопротивление между истоком и стоком транзистора велико.

Через транзисторы протекает незначительный ток, т.к. сопротивление «сток-исток» транзистора VT2 велико. Выходное напряжение относительно земли равно:

$$U_{\text{ВЫХ}} = I R_{\text{канала}}.$$

Сопротивление $R_{\text{канала}}$ транзистора VT1 при этом мало и выходное напряжение близко к нулевому.

Пусть задана схема **рис. 1а**. Эта схема состоит из МДП-транзисторов с каналом n-типа.

Пусть пороговое напряжение транзисторов составляет $U_{П} = 2В$, амплитуда входного сигнала $U_{ВХ} = 3В$, а напряжение питания $E_c = 4В$.

В отсутствие управляющего сигнала в транзисторе VT1 канала протекания тока нет. Сопротивление «исток-сток» велико. В транзисторе VT2 на затворе потенциал равен потенциалу $E_c = 4В$. Поскольку на исток транзистора VT2 не подается напряжение, можно считать, что его потенциал близок к нулевому. Разность потенциалов $U_{зи}$ в транзисторе равна:

$$U_{зи} = U_3 - U_{и} = 4В - 0В = 4В.$$

Напряжение $U_{зи}$ больше $U_{О}$, значит в транзисторе VT2 создается канал протекания тока. Ток через транзистор мал, т.к. сопротивление «исток-сток» транзистора VT1 очень велико.

Потенциал на выходе относительно земли равен:

$$U_{\text{ВЫХ}} = E_c - U_{зиVT2}.$$

Примем, что напряжение $U_{зи}$ транзистора VT2 ($U_{зиVT2}$) близко к пороговому, т.к. ток очень мал. Тогда

$$U_{вых} = 4В - 2В = 2В.$$

Выходное напряжение соответствует логической единице.

При подаче сигнала (логической «1») напряжение на затворе транзистора VT1 относительно истока $U_{зи}$ больше порогового U_3 , в транзисторе образуется канал протекания тока. Теперь ток протекает через транзисторы VT1 и VT2, т.к. в обоих транзисторах сформированы каналы протекания тока. Выходное напряжение относительно земли равно:

$$U_{вых} = I R_{канала},$$

где $R_{канала}$ - сопротивление канала транзистора VT1.

Поскольку сопротивление канала мало, падение напряжения на сопротивлении канала мало и близко к нулевому - $U_{вых} = 0В$.

Выходное напряжение при этом соответствует логической «1».

Задача 2.

Пусть задана следующая комбинация входных логических сигналов $X1 = 1$, $X2 = 0$, $X3 = 1$, $X4 = 1$.

Определим состояние транзисторов и логический уровень напряжения на выходе.

Считаем, что уровень логической единицы близок к напряжению питания. Уровень логического нуля близок к нулевому потенциалу и не превышает 0,1В.

Многоэмиттерный транзистор (МЭТ) имеет четыре идентичных перехода «база-эмиттер». Примем, что для открывания перехода «база- эмиттер» необходимо напряжение $U_{бэ} = 0,7В$.

Рассмотрим состояние переходов МЭТ. На первый эмиттер подается логическая единица, т.е. высокий потенциал, близкий к напряжению питания. На базу через сопротивление R_6 подается потенциал источника питания. Таким образом, напряжение $U_{бэ} = U_6 - U_э = 0$. Первый переход «база-эмиттер» транзистора оказывается закрытым.

На второй эмиттер подается логический нуль (т.е. потенциал, близкий к нулевому), пусть 0,1В. На базе транзистора формируется положительный потенциал, достаточный для открывания перехода «эмиттер- база».

На базе устанавливается потенциал относительно земли, равный

$$U_6 = X2 + U_{бэ} = 0,1В + 0,7В = 0,8В.$$

На третий и четвертый переходы «база- эмиттер» подается логическая единица. Их состояние аналогично первому переходу «база- эмиттер» - эти переходы закрыты, через них ток не протекает.

Таким образом, на базе МЭТ устанавливается потенциал $U_6 = 0,8В$. При таком потенциале на базе МЭТ переход «база- эмиттер» транзистора VT1 должен быть закрыт, ток через него не протекает, т.е. в цепи «коллектор МЭТ - база VT1» ток протекать не может. Для доказательства этого состояния

предположим противоположное. Предположим, что переход «база- эмиттер» транзистора VT1 открыт. В этом случае на базе VT1 устанавливается потенциал 0,7В. Переход «коллектор-база» МЭТ оказывается под напряжением:

$$U_{кб} = U_k - U_б = 0,7В - 0,8В = -0,1В.$$

Переход «коллектор-база» МЭТ находится под обратным напряжением 0,1В. Это означает, что МЭТ оказался в активном режиме (напряжение на переходе «эмиттер-база» прямое, а на переходе «коллектор-база» - обратное). В этом режиме ток эмиттера - это сумма токов коллектора и базы: $I_э = I_k + I_б$.

Это условие не может быть выполнено, т.к. ток коллектора МЭТ и ток базы транзистора VT1 имеют противоположные направления. Следовательно, такой режим работы невозможен. При потенциале на базе МЭТ, равном $U_б=0,8В$, транзистор VT1 должен быть закрыт. Транзистор VT1 находится в режиме отсечки (переход «эмиттер-база» и переход «коллектор-база» находятся под обратным напряжением). Ток в коллекторной цепи МЭТ почти не протекает. Ток в коллекторной цепи МЭТ может быть равен нулю только в режиме насыщения (переход «эмиттер-база» и переход «коллектор-база» находятся под прямым напряжением). В этом режиме поток носителей через коллекторный переход из базы в коллектор может быть уравновешен равным потоком носителей из коллектора в базу. Суммарный коллекторный ток равен нулю.

Таким образом, МЭТ оказывается в режиме насыщения. Напряжение «эмиттер-коллектор» $U_{эк}$ в режиме насыщения близко к нулевому и не превышает 0,1В. Поэтому на базе транзистора VT1 потенциал близок к 0,2В и не достаточен для открывания перехода «эмиттер-база». Это означает, что, действительно, транзистор VT1 находится в режиме отсечки. Ток через транзистор VT1 не протекает, нет падения напряжения на сопротивлении R_k и потенциал источника питания через сопротивление R_k поступает на выход. Выходное напряжение близко к напряжению источника питания E_k , т.е. соответствует логической единице.

Только при подаче логических единиц на все входы все переходы «база-эмиттер» оказываются под обратным напряжением. В этом случае положительный потенциал на базе МЭТ может открыть переход «коллектор-база» МЭТ. МЭТ оказывается в инверсном режиме (переходы «эмиттер-база» под обратным напряжением, переход «коллектор-база» - под прямым). В цепи базы VT1 протекает ток, транзистор VT1 открывается. В этом случае потенциал на базе МЭТ относительно земли представляет сумму напряжений на переходе «коллектор-база» МЭТ:

$$U_б = U_{бэ VT1} + U_{кб МЭТ} = 0,7 + 0,7 = 1,4В.$$

Через транзистор VT1 протекает ток, падение напряжения на сопротивлении R_k уменьшает выходной потенциал:

$$U_{вых} = E_k - I R_k.$$

Выходной потенциал понижается и соответствует логическому нулю.

Задача 3.

Пусть задана схема включения ОУ, показанная на рис.4.

В данной схеме включения ОУ сигналы U_1 и U_2 подаются на инвертирующий вход. Это означает, что фаза выходного сигнала от воздействия каждого из сигналов U_1 или U_2 будет противоположной фазе сигналов U_1 и U_2 . Входной сигнал U_3 подается на неинвертирующий вход. Фаза выходного сигнала от воздействия сигнала U_3 будет совпадать с фазой входного сигнала. Примем, что коэффициент усиления по каждому из входов одинаковый:

$$K_1=K_2=K_3=K.$$

Пусть напряжения входных сигналов равны :

$$U_1 = 5 \text{ мВ}, U_2 = 10 \text{ мВ}, U_3 = 15 \text{ мВ}.$$

Пусть заданы фазы входных сигналов:

U_1 - положительная (+),

U_2 - отрицательная (-),

U_3 - отрицательная (-).

Это означает, что началу рассмотрения воздействия сигналов соответствовали:

- сигналу U_1 - положительная полуволна,

- а сигналам U_2 и U_3 - отрицательная полуволна (рис.5). В условном масштабе при равном коэффициенте усиления по каждому из входов сохраняется соотношение амплитуд выходных сигналов (рис.5). Результирующий выходной сигнал представляет сумму выходных сигналов от воздействия каждого входного с учетом фазовых соотношений.

Рис. 1. Схемы логических элементов к задаче 1.

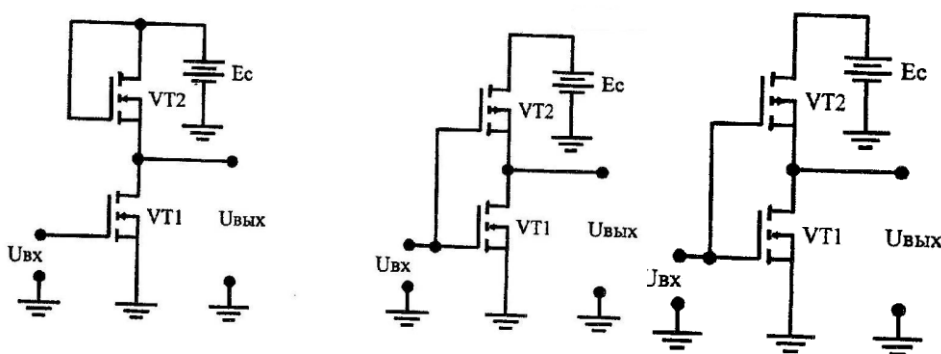


Рис. 2. Схема логического элемента ТТЛ к задаче 2

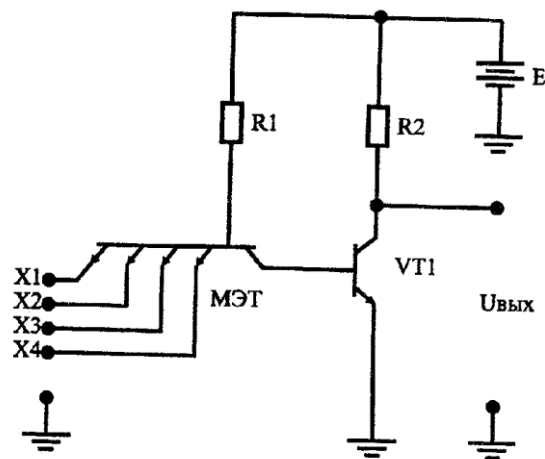


Рис. 3. Варианты схем к задаче 3

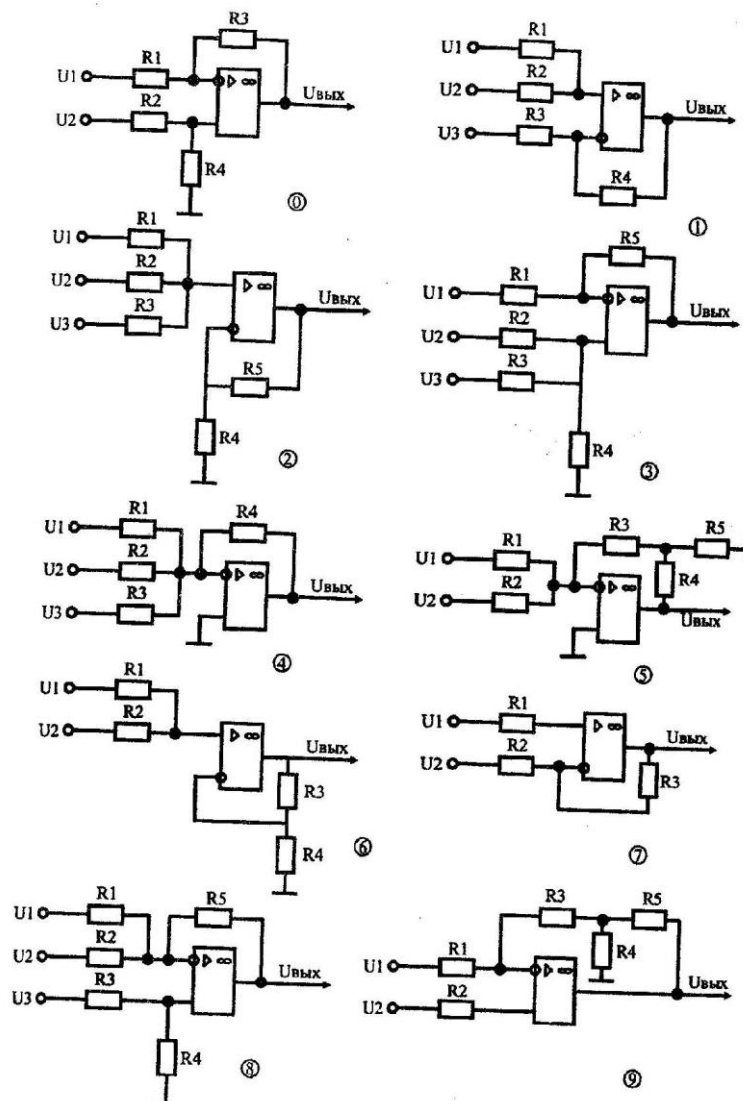


Рис. 4. Схема включения ОУ к примеру решения задачи 3

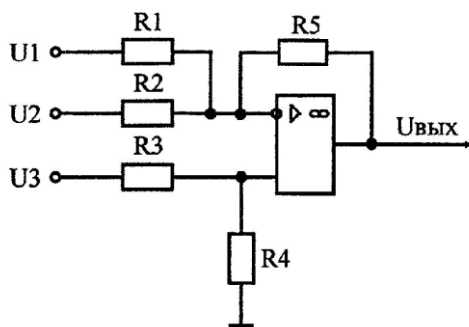


Рис. 5. Временные диаграммы входных и выходных сигналов к примеру решения задачи 3

